

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244585

(P2000-244585A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト(参考)
H 0 4 L 13/08		H 0 4 L 13/08	5 B 0 6 1
G 0 6 F 13/362	5 1 0	G 0 6 F 13/362	5 1 0 H 5 B 0 7 7
	3 1 0	13/38	3 1 0 A 5 K 0 3 2
H 0 4 L 12/40		H 0 4 L 11/00	3 2 0 5 K 0 3 4

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平11-42484

(22) 出願日 平成11年2月22日(1999.2.22)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石田 仁志

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

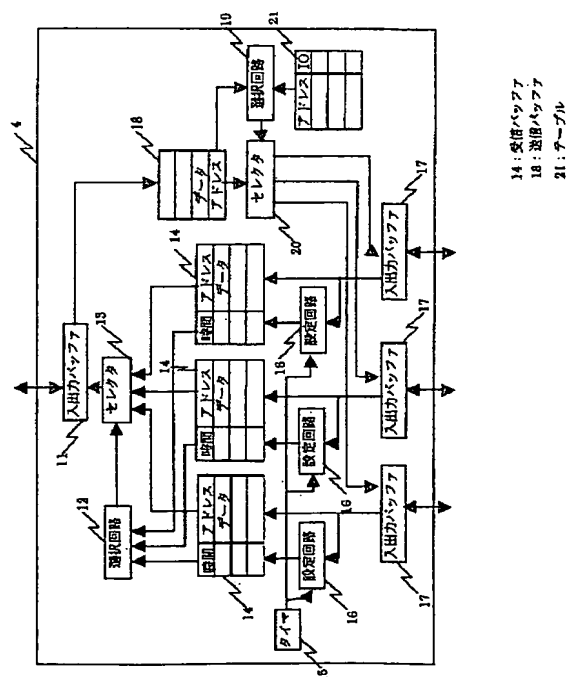
最終頁に続く

(54) 【発明の名称】 バスインタフェース回路

(57) 【要約】

【課題】 複数のIOカードにより複数のバスを介して送信されたデータを、データの到着時間順にプロセッサに送信するバスインタフェース回路を得る。

【解決手段】 設定回路16は、IOカード5により送信されたデータが格納された受信バッファ14にデータが格納された時刻を設定し、選択回路12が受信バッファ14の選択時に受信バッファ14に設定された時刻に従って、一番古い時刻を持った受信バッファ14を選択し、セクタ13が選択回路12で選択された受信バッファ14中の一番古い時刻に対応したデータを出入力バッファ11に送るようにした。



**【特許請求の範囲】**

【請求項1】バスを介して複数の周辺装置と接続され、上記複数の周辺装置によりプロセッサに送信された送信情報をそれぞれ受信する複数の入力手段と、上記複数の入力手段により受信された上記送信情報がそれぞれ格納され、さらに上記送信情報が格納される時の時刻が上記格納された送信情報に対応してそれぞれ設定される上記複数の周辺装置のそれぞれに対応した複数の受信バッファと、上記複数の受信バッファに上記時刻をそれぞれ設定する上記複数の受信バッファのそれぞれに対応した複数の設定手段と、上記受信バッファに格納された送信情報を所定の選択基準に基づいて選択する選択手段と、この選択された送信情報を上記プロセッサに送信するセレクトと、を備えたことを特徴とするバスインタフェース回路。

【請求項2】上記選択手段は、上記送信情報が上記複数の受信バッファに存在した時には、上記送信情報に対応して設定された上記時刻に基づいて一番古い時刻が設定された送信情報を選択することを特徴とする請求項1記載のバスインタフェース回路。

【請求項3】上記複数の周辺装置により送信された上記送信情報の数がそれぞれ設定される複数のカウンタを備え、上記複数の設定手段は、上記送信情報の数をそれぞれ上記複数のカウンタに設定し、上記選択手段は、上記送信情報の数の一番大きいカウンタに対応した受信バッファに格納された送信情報を選択することを特徴とする請求項1記載のバスインタフェース回路。

【請求項4】上記複数の周辺装置の優先度が、上記プロセッサによりあらかじめ書き込まれたレジスタを備え、上記選択手段は、上記送信情報が上記複数の受信バッファに存在した時には、上記レジスタに書き込まれた上記優先度に基づいて優先度の一番高い周辺装置による送信情報が格納された受信バッファの送信情報を選択することを特徴とする請求項1記載のバスインタフェース回路。

【請求項5】複数のプロセッサにより複数の周辺装置に送信された送信情報がそれぞれ格納され、さらに上記送信情報が格納される時の時刻が上記格納された送信情報に対応してそれぞれ設定される上記複数の周辺装置のそれぞれに対応した複数の送信バッファと、上記複数の送信バッファに上記時刻をそれぞれ設定する上記複数の送信バッファのそれぞれに対応した複数のプロセッサ用設定手段と、上記送信情報の送信先である周辺装置を特定する情報が、上記送信情報が送信される前に上記複数のプロセッサにより書き込まれたテーブルと、

上記送信バッファに格納された送信情報を所定の選択基準に基づいて選択するプロセッサ用選択手段と、この選択された送信情報を送信するプロセッサ用セレクトと、

バスを介して上記複数の周辺装置と接続され、上記プロセッサ用セレクトにより送信された上記送信情報を受信し、この受信した上記送信情報を上記テーブルに書き込まれた情報に基づいて特定した周辺装置に送信する出力手段と、を備えたことを特徴とするバスインタフェース回路。

【請求項6】上記プロセッサ用選択手段は、上記送信情報が上記複数の送信バッファに存在した時には、上記送信情報に対応して設定された上記時刻に基づいて一番古い時刻が設定された送信情報を選択することを特徴とする請求項5記載のバスインタフェース回路。

【請求項7】上記複数のプロセッサにより送信された上記送信情報の数がそれぞれ設定される複数のプロセッサ用カウンタを備え、

上記複数のプロセッサ用設定手段は、上記送信情報の数をそれぞれ上記複数のプロセッサ用カウンタに設定し、上記複数のプロセッサ用選択手段は、上記送信情報の数の一番大きいプロセッサ用カウンタに対応した送信バッファに格納された送信情報を選択することを特徴とする請求項5記載のバスインタフェース回路。

【請求項8】上記複数のプロセッサの優先度が、上記複数のプロセッサによりあらかじめ書き込まれたプロセッサ用レジスタを備え、

上記プロセッサ用選択手段は、上記送信情報が上記複数の送信バッファに存在した時には、上記プロセッサ用レジスタに書き込まれた上記優先度に基づいて優先度の一番高いプロセッサによる送信情報が格納された送信バッファの送信情報を選択することを特徴とする請求項5記載のバスインタフェース回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、I/O装置とプロセッサとのデータの送受信を制御するバスインタフェース回路に関するものである。

**【0002】**

【従来の技術】図9は例えば、特開昭61-212138に示されたローカルエリアネットワークを示すブロック図であり、例えばメッセージやデータの送受信をする複数のカードが多重バスシステムを介して、相互に接続されている。

【0003】このローカルエリアネットワークは、多重バスシステム100と、インタフェースモジュール105と、サブシステム106と、プロトコルコンバータ117とからなる。多重バスシステム100は、バスライン102、103及び104からなる。また、インタフェースモジュール105は、3個のバスアダプタ11

0、111及び112と、バスアダプタ110、111、112を多重バスシステム100に接続するのに必要なバスタップ107、108及び109と、制御ユニットとして作動する分配ユニット115と、ホストインタフェースユニット116と、これらを接続するローカルバスライン114とからなる。さらに、プロトコルコンバータ117は、プロセッサ118と、ホストメモリ119と、入出力インターフェース120とを備え、これら全てがホストバスライン121に接続された構成になっている。

【0004】次に、動作について説明する。サブシステム106が、多重バスシステム100のプロトコルに従い、メッセージを送信する際はホストインタフェース116を介して、分配ユニット115にメッセージの送信を指示する。分配ユニット115は、サブシステム106からのタスクを受信すると、メッセージデータをサブシステム106内から読み取り、バスアダプタ110、111、112のいずれかに転送する。バスアダプタ110、111、112は、分配ユニット115から転送されたデータをバスライン102、103、104を介して送信する。

【0005】サブシステム106のプロトコルが多重バスシステム100のプロトコルと一致しない場合、プロトコルコンバータ117はサブシステム106内のメッセージデータのプロトコル変換を行う。変換後のデータに対して、分配ユニット115は同様の処理を行う。また、バスアダプタ110、111及び112は、制御ユニットと調停装置、記憶装置を内蔵し、バスライン102、103、104からのデータを自律的に受信し、ローカルバスライン114の使用権を獲得した後、ホストインタフェース116を介してサブシステム106に転送する。

【0006】

【発明が解決しようとする課題】以上説明したように、従来のインタフェースモジュールは、受信したデータをデータの到着時間や優先度に従って転送するよう制御することができないという問題点があった。

【0007】この発明は、上記のような問題点を解決するためになされたものであり、受信したデータの転送の制御をすることにより、複数のバスを介してIO装置とプロセッサとの間のデータの送受信を行うシステムの性能向上ができるようなバスインターフェース回路を得ることを目的とする。

【0008】

【課題を解決するための手段】第1の発明は、バスを介して複数の周辺装置と接続され、上記複数の周辺装置によりプロセッサに送信された送信情報をそれぞれ受信する複数の入力手段と、上記複数の入力手段により受信された上記送信情報がそれぞれ格納され、さらに上記送信情報が格納される時の時刻が上記格納された送信情報に

対応してそれぞれ設定される上記複数の周辺装置のそれぞれに対応した複数の受信バッファと、上記複数の受信バッファに上記時刻をそれぞれ設定する上記複数の受信バッファのそれぞれに対応した複数の設定手段と、上記受信バッファに格納された送信情報を所定の選択基準に基づいて選択する選択手段と、この選択された送信情報を上記プロセッサに送信するセレクタと、を備えたものである。

【0009】第2の発明は、上記送信情報が上記複数の受信バッファに存在した時には、上記送信情報に対応して設定された上記時刻に基づいて一番古い時刻が設定された送信情報を選択する選択手段を備えたものである。

【0010】第3の発明は、上記複数の周辺装置により送信された上記送信情報の数がそれぞれ設定される複数のカウンタを備え、上記複数の設定手段は、上記送信情報の数をそれぞれ上記複数のカウンタに設定し、上記選択手段は、上記送信情報の数の一番大きいカウンタに対応した受信バッファに格納された送信情報を選択するものである。

【0011】第4の発明は、上記複数の周辺装置の優先度が、上記プロセッサによりあらかじめ書き込まれたレジスタを備え、上記選択手段は、上記送信情報が上記複数の受信バッファに存在した時には、上記レジスタに書き込まれた上記優先度に基づいて優先度の一番高い周辺装置による送信情報が格納された受信バッファの送信情報を選択するものである。

【0012】第5の発明は、複数のプロセッサにより複数の周辺装置に送信された送信情報がそれぞれ格納され、さらに上記送信情報が格納される時の時刻が上記格納された送信情報に対応してそれぞれ設定される上記複数の周辺装置のそれぞれに対応した複数の送信バッファと、上記複数の送信バッファに上記時刻をそれぞれ設定する上記複数の送信バッファのそれぞれに対応した複数のプロセッサ用設定手段と、上記送信情報の送信先である周辺装置を特定する情報が、上記送信情報が送信される前に上記複数のプロセッサにより書き込まれたテーブルと、上記送信バッファに格納された送信情報を所定の選択基準に基づいて選択するプロセッサ用選択手段と、この選択された送信情報を送信するプロセッサ用セレクタと、バスを介して上記複数の周辺装置と接続され、上記プロセッサ用セレクタにより送信された上記送信情報を受信し、この受信した上記送信情報を上記テーブルに書き込まれた情報に基づいて特定した周辺装置に送信する出力手段と、を備えたものである。

【0013】第6の発明は、上記送信情報が上記複数の送信バッファに存在した時には、上記送信情報に対応して設定された上記時刻に基づいて一番古い時刻が設定された送信情報を選択するプロセッサ用選択手段を備えたものである。

【0014】第7の発明は、上記複数のプロセッサによ

り送信された上記送信情報の数がそれぞれ設定される複数のプロセッサ用カウンタを備え、上記複数のプロセッサ用設定手段は、上記送信情報の数をそれぞれ上記複数のプロセッサ用カウンタに設定し、上記複数のプロセッサ用選択手段は、上記送信情報の数の一番大きいプロセッサ用カウンタに対応した送信バッファに格納された送信情報を選択するものである。

【0015】第8の発明は、上記複数のプロセッサの優先度が、上記複数のプロセッサによりあらかじめ書き込まれたプロセッサ用レジスタを備え、上記プロセッサ用選択手段は、上記送信情報が上記複数の送信バッファに存在した時には、上記プロセッサ用レジスタに書き込まれた上記優先度に基づいて優先度の一番高いプロセッサによる送信情報が格納された送信バッファの送信情報を選択するものである。

【0016】

【発明の実施の形態】実施の形態1. 図1は、実施の形態1のシステム構成を示すブロック図である。図において、1はシステムを制御するCPUカード、5はCPUカード1の指示に従いIO装置（周辺装置）を制御する複数のIOカードである。CPUカード1は、演算を行うプロセッサ2と、演算の為のデータを保持するメモリ3と、CPUカード1とIOカード5間の複数のバスを介してのデータの送受信を制御するバスインタフェース回路4とからなる。

【0017】図2は、実施の形態1のバスインタフェース回路の構成図である。図において、図1と同一の符号は同一又は相当な部分を示す。11はデータを送信又は受信する入出力バッファ、12は受信バッファ14に格納された時間情報に従って受信バッファ14を選択し、さらに選択した受信バッファ14に格納されたデータを送信することをセクタ13に指示をする選択回路、13は選択回路12の指示に従って、受信バッファ14に格納されたデータを入出力バッファ11に送るセクタ、14は対応するIOカード5により送信されたデータと送信先のアドレスを格納し、またこのデータとアドレスが格納される時の時刻、即ち時間情報が設定された受信バッファ、15は時刻を計るタイマ、16はタイマ15で計った時刻を時間情報として受信バッファ14に設定する設定回路である。

【0018】また、17はデータを送信又は受信する入出力バッファ、18はプロセッサ2によりIOカード5に送信されるデータとデータの送信先のアドレスとを格納する送信バッファ、19は送信バッファ18に格納されたアドレスと、テーブル21に書き込まれたアドレスとIOカード5の対応関係と、によりデータの送信先を選択し、さらに選択した送信先に送信バッファ18に格納されたデータを送信することをセクタ20に指示をする選択回路、20は選択回路19による指示にしたがって、送信バッファ18に格納されたデータを選択回路

19で選択した送信先に対応した入出力バッファ17に送るセクタ、21はデータの送信先のアドレスとIOカード5の対応関係が書き込まれたテーブルである。

【0019】次に、動作について説明する。最初に、CPUカード1から複数のバスを介してIOカード5にデータを転送する動作について説明をする。まず、転送を開始する前に、プロセッサ2はテーブル21に送信先のアドレスとIOカード5の対応関係を書き込む。プロセッサ2は、IOカード5へのタスク（データのリード/ライト）を実行する。バスインタフェース回路4は、プロセッサ2により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路（図示せず）の制御の下、入出力バッファ11を介して、送信バッファ18にデータと送信先のアドレスを格納する。

【0020】選択回路19は、送信バッファ18に格納されたアドレスと、テーブル21に書き込まれたアドレスとIOカード5の対応関係と、から送信先であるIOカード5を選択し、セクタ20にデータを送信するための指示を出す。セクタ20は、選択回路19の指示に従って、送信バッファ18に格納されたデータを選択回路19により選択されたIOカード5に対応する入出力バッファ17に送信する。IOカード5へのデータの送信は、プロトコル制御回路（図示せず）の制御の下で実行される。

【0021】次に、IOカード5から複数のバスを介してCPUカード1にデータを転送する動作について説明をする。バスインタフェース回路4は、IOカード5により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路（図示せず）の制御の下、入出力バッファ17を介して、IOカード5に対応する受信バッファ14にデータと送信先のアドレスを格納する。それと同時に、設定回路16は、タイマ15を参照して、時間情報を受信バッファ14に設定する。

【0022】選択回路12は、受信バッファ14のエンプティを監視し、エンプティでない受信バッファ14を選択し、さらに選択した受信バッファ14に格納されたデータを送信することをセクタ13に指示をする。また、複数の受信バッファ14がエンプティでない場合は、受信バッファ14の時間情報を参照し、一番古い時間情報を持った受信バッファ14を選択し、選択した受信バッファ14中の一番古い時間情報に対応したデータを送信するようセクタ13に指示をする。セクタ13は、選択回路12の指示に従い、選択された受信バッファ14に格納されたデータを入出力バッファ11に送る。

【0023】以上のように本実施の形態によれば、バスインタフェース回路4がIOカード5からデータを受信すると、設定回路16が受信バッファ14に時間情報を設定し、選択回路12が受信バッファ14の選択時に受信バッファ14に設定された時間情報に従って、一番

古い時間情報を持った受信バッファ14を選択し、セクタ13が選択回路12で選択された受信バッファ14中の一番古い時間情報に対応したデータを入出力バッファ11に送るようにしているので、I/Oカード5により送信されたデータをデータの到着時間順にプロセッサに転送することができ、複数のバスを介して複数のI/Oカードとプロセッサ2との間でデータの送受信を行うシステムの性能向上ができる。なお、本実施の形態では、I/Oカード5が3個の場合を例に説明したが、I/Oカード5が増減しても、同様の効果を奏することができる。これは、以下の実施の形態でも同様である。

【0024】実施の形態2. 図3は、実施の形態2のバスインタフェース回路の構成図である。図において、図1、2と同一の符号は同一又は相当な部分を示す。31はカウンタ33の値に従って受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ32に指示をする選択回路、32は選択回路31の指示に従って、受信バッファ34に格納されたデータを入出力バッファ11に送るセクタ、33はI/Oカード5から受信バッファ34へのアクセス要求の数、即ちI/Oカード5により送信されたデータとアドレスが受信バッファ34に格納される数を記憶する受信バッファ34のそれぞれに対応したカウンタである。

【0025】34は対応するI/Oカード5により送信されるデータと送信先のアドレスを格納する受信バッファ、35は対応するI/Oカード5から受信バッファ34へのアクセス要求の数をカウンタ33に設定する設定回路である。

【0026】次に、動作について説明する。CPUカード1から複数のバスを介してI/Oカード5にデータを転送する動作は、実施の形態1と同様である。I/Oカード5から複数のバスを介してCPUカード1にデータを転送する動作について説明をする。まず、バスインタフェース回路4は、I/Oカード5により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ17を介して、I/Oカード5に対応する受信バッファ14にデータと送信先のアドレスを格納する。それと同時に、設定回路35は、アドレスとデータが格納された受信バッファ34に対応するカウンタ33の値を1インクリメントする。

【0027】選択回路31は、カウンタ33の値を監視し、カウンタ33の値が一番大きい受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ32に指示をする。それと同時に、選択した受信バッファ34に対応するカウンタ33の値を1デクリメントする。セクタ32は、選択回路31の指示に従い、選択された受信バッファ34に格納されたデータを入出力バッファ11に送る。

【0028】以上のように本実施の形態によれば、バス

インタフェース回路4がI/Oカード5からデータを受信すると、設定回路35がデータ受信時に受信バッファ34へのアクセス要求の数をカウンタ33に設定し、選択回路31がバッファ選択時にカウンタ33の値が一番大きい受信バッファ34を選択し、セクタ32が選択回路31で選択された受信バッファ34に格納されたデータを入出力バッファ11に送るようにしているので、I/Oカード5の負荷に応じてデータの転送ができる。即ちデータの転送要求の多いI/Oカード5のデータ転送を優先的に行うことができ、複数のI/Oカード5の負荷に応じてデータの転送ができる。これにより、複数のバスを介して複数のI/Oカードとプロセッサ2との間でデータの送受信を行うシステムの性能向上ができる。

【0029】実施の形態3. 図4は、実施の形態3のバスインタフェース回路の構成図である。図において、図1～3と同一の符号は同一又は相当な部分を示す。41は各I/Oカード5の処理優先度、即ち各I/Oカード5がデータと送信先のアドレスとをプロセッサ2に送信する優先度が書き込まれたレジスタ、42はレジスタ41に書き込まれた優先度に従って受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ32に指示をする選択回路、43は選択回路42の指示に従って、受信バッファ34に格納されたデータを入出力バッファ11に送るセクタである。

【0030】次に、動作について説明する。CPUカード1から複数のバスを介してI/Oカード5にデータを転送する動作は、実施の形態1と同様である。I/Oカード5からCPUカード1にデータを転送する動作について説明をする。まず、プロセッサ2は、レジスタ41に各I/Oカード5の処理優先度を書き込む。書き込むタイミングは、システムが起動した直後でも、処理中でもよい。バスインタフェース回路4は、I/Oカード5により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ17を介して、I/Oカード5に対応する受信バッファ34にデータと送信先のアドレスを格納する。

【0031】選択回路42は、受信バッファ34のエンプティを監視し、エンプティでない受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ32に指示をする。また、複数の受信バッファ34がエンプティでない場合は、レジスタ41に書き込まれた処理優先度を参照し、処理優先度の一番高いI/Oカード5からのデータとアドレスを格納した受信バッファ34を選択し、選択した受信バッファ34に格納されたデータを送信することをセクタ43に指示をする。セクタ43は、選択回路42の指示に従い、選択された受信バッファ34に格納されたデータを入出力バッファ11に送る。

【0032】以上のように本実施の形態によれば、バス

インターフェース回路 4 が I O カード 5 からデータを受信すると、プロセッサ 2 がレジスタ 4 1 に各 I O カード 5 の処理優先度を書き込み、選択回路 4 2 が受信バッファ 3 4 の選択時にレジスタ 4 1 に書き込まれた処理優先度に従って、処理優先度の一番高い I O カード 5 からのデータとアドレスを格納した受信バッファ 3 4 を選択し、セクタ 4 3 が選択回路 4 2 で選択された受信バッファ 3 4 に格納されたデータを入出力バッファ 1 1 に送るようにしているので、I O カード 5 により送信された送信要求度の高い送信情報をプロセッサ 2 に早急に送ることができ、システム上クリティカルな I O カード 5 からのデータを最優先で送信することができ、応答時間を保証してデータを送信することができる。

【0033】実施の形態 4. 図 5 は、実施の形態 4 のシステム構成を示すブロック図である。図において、図 1 ~ 4 と同一の符号は同一又は相当な部分を示す。5 0 は複数のプロセッサ 2 と複数の I O カード 5 との間のデータの送受信を制御するバスインタフェース回路である。

【0034】図 6 は、実施の形態 4 のバスインタフェース回路の構成図である。図において、図 1 ~ 5 と同一の符号は同一又は相当な部分を示す。6 1 はタイマ 1 5 で計った時刻を時間情報として送信バッファ 6 2 に設定する設定回路、6 2 は対応するプロセッサ 2 により送信されたデータと送信先のアドレスを格納し、またこのデータとアドレスが格納される時の時刻、即ち時間情報が設定された送信バッファ、6 3 は送信バッファ 6 2 に格納された時間情報に従って送信バッファ 6 2 を選択し、さらに選択した送信バッファ 6 2 に格納されたデータを送信することをセクタ 6 4 に指示をする選択回路、6 4 は選択回路 6 3 の指示に従って、送信バッファ 6 2 に格納されたデータを入出力バッファ 1 7 に送るセクタである。

【0035】また、6 5 は受信バッファ 1 4 に格納された時間情報に従って受信バッファ 1 4 を選択し、さらに選択した受信バッファ 1 4 に格納されたデータを送信することをセクタ 6 7 に指示をする選択回路、6 6 は受信バッファ 1 4 に格納されたデータを送信するプロセッサ 2 が記憶されたレジスタ、6 7 は選択回路 6 5 の指示に従って、受信バッファ 1 4 に格納されたデータを入出力バッファ 1 1 に送るセクタである。

【0036】次に、動作について説明する。最初に、CPU カード 1 から複数のバスを介して I O カード 5 にデータを転送する動作について説明をする。まず、送信を開始する前に、プロセッサ 2 はテーブル 2 1 に転送アドレスと I O カード 5 の対応関係を書き込む。

【0037】プロセッサ 2 は、I O カード 5 へのタスク（データのリード/ライト）を実行する。バスインタフェース回路 5 0 は、プロセッサ 2 により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路（図示せず）の制御の下、入出力バッファ 1 1 を介して、

送信バッファ 6 2 にデータと送信先のアドレスを格納する。それと同時に、設定回路 6 1 は、タイマ 1 5 を参照して、時間情報を送信バッファ 6 2 に設定する。

【0038】選択回路 6 3 は、送信バッファ 6 2 のエンプティを監視し、エンプティでない送信バッファ 6 2 を選択し、さらに選択した送信バッファ 6 2 に格納されたデータを送信することをセクタ 6 4 に指示をする。また、複数の送信バッファ 6 2 がエンプティでない場合は、送信バッファ 6 2 の時間情報を参照し、一番古い時間情報を持った送信バッファ 6 2 を選択し、選択した送信バッファ 6 2 中の一番古い時間情報に対応したデータを送信するようセクタ 6 4 に指示をする。セクタ 2 0 は、選択回路 6 3 の指示に従い、選択された送信バッファ 6 2 に格納されたデータに対応する I O カード 5 への入出力バッファ 1 7 に送信する。I O カード 5 とのデータの送信は、プロトコル制御回路（図示せず）の制御の下で実行される。

【0039】次に、I O カード 5 から複数のバスを介して CPU カード 1 にデータを転送する動作について説明をする。バスインタフェース回路 5 0 は、I O カード 5 により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路（図示せず）の制御の下、入出力バッファ 1 7 を介して、I O カード 5 に対応する受信バッファ 1 4 にデータと送信先のアドレスを格納する。それと同時に、設定回路 1 6 は、タイマ 1 5 を参照して、時間情報を受信バッファ 1 4 に設定する。

【0040】選択回路 6 5 は、受信バッファ 1 4 のエンプティを監視し、エンプティでない受信バッファ 1 4 を選択し、さらに選択した受信バッファ 1 4 に格納されたデータをレジスタ 6 6 に記憶されたプロセッサ 2 に対応した入出力バッファ 1 1 に送信することをセクタ 6 7 に指示をする。その後、レジスタ 6 6 に記憶されたプロセッサ 2 を別のプロセッサ 2 を示すように変更する。

【0041】また、複数の受信バッファ 1 4 がエンプティでない場合は、受信バッファ 1 4 の時間情報を参照し、一番古い時間情報を持った受信バッファ 1 4 を選択し、選択した受信バッファ 1 4 中の一番古い時間情報に対応したデータをレジスタ 6 6 に記憶されたプロセッサ 2 に対応した入出力バッファ 1 1 に送るようセクタ 6 7 に指示をする。その後、レジスタ 6 6 に記憶されたプロセッサ 2 を別のプロセッサ 2 を示すように変更する。

【0042】セクタ 6 7 は、選択回路 6 5 の指示に従い、選択された受信バッファ 1 4 に格納されたデータをレジスタ 6 6 に記憶されたプロセッサ 2 に対応した入出力バッファ 1 1 に送る。なお、本実施の形態の他に、実施の形態 5、6 に示すように、送信バッファをアクセス要求数や、優先度に従って選択するような構成も可能である。

【0043】以上のように本実施の形態によれば、バス

インターフェース回路4がプロセッサ2からデータを受信すると、設定回路61が送信バッファ62に時間情報を設定し、選択回路63が送信バッファ62の選択時に送信バッファ62に設定された時間情報に従って、一番古い時間情報を持った送信バッファ62を選択し、セクタ64が選択回路63で選択された送信バッファ62中の一番古い時間情報に対応したデータを入出力バッファ17に送るようにしているので、プロセッサ2により送信されたデータをデータの到着順にI/Oカード5に転送することができる。

【0044】また、バスインターフェース回路4がI/Oカード5からデータを受信すると、設定回路16が受信バッファ14に時間情報を設定し、選択回路65が受信バッファ14の選択時に受信バッファ14に設定された時間情報に従って、一番古い時間情報を持った受信バッファ14を選択し、セクタ78が選択回路76で選択された受信バッファ34に格納されたデータを、レジスタ66に記憶された情報に基づいて複数のプロセッサ2に均等に割り振るようにしているので、I/Oカード5により送信されたデータをデータの到着順に、さらに複数のプロセッサ2に均等かつ効率良く転送することができる。これにより、複数のバスを介して複数のI/Oカードと複数のプロセッサ2との間でデータの送受信を行うシステムの性能向上ができる。

【0045】なお、本実施の形態では、プロセッサが2個の場合について説明したが、さらにプロセッサの数が増えても同様の効果を奏することができる。これは、以下の実施の形態でも同様である。

【0046】実施の形態5. 図7は、実施の形態5のバスインターフェース回路の構成図である。図において、図1～6と同一の符号は同一又は相当な部分を示す。71は対応するプロセッサ2から送信バッファ73へのアクセス要求の数、即ちプロセッサ2により送信されたデータとアドレスが送信バッファ73に格納される数をカウンタ72に設定する設定回路、72はプロセッサ2から送信バッファ73へのアクセス要求の数を記憶する送信バッファ73のそれぞれに対応したカウンタである。

【0047】73は対応するプロセッサ2によりI/Oカード5に送信されるデータと送信先のアドレスとを格納する送信バッファ、74はカウンタ72の値に従って送信バッファ73を選択し、さらに選択した送信バッファ73に格納されたデータを送信することをセクタ75に指示をする選択回路、75は選択回路74の指示に従って、送信バッファ73に格納されたデータを入出力バッファ17に送るセクタである。

【0048】76はカウンタ33に記憶されたアクセス要求の数に従って、受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ78に指示をする選択回路、77は受信バッファ34に格納されたデータを送信するプロセッ

サ2が記憶されたレジスタ、78は選択回路76の指示に従って、受信バッファ34に格納されたデータを入出力バッファ11に送るセクタである。

【0049】次に、動作について説明する。最初に、CPUカード1から複数のバスを介してI/Oカード5にデータを転送する動作について説明をする。まず、転送を開始する前に、プロセッサ2はテーブル21に転送アドレスとI/Oカード5の対応関係を書き込む。プロセッサ2は、I/Oカード5へのタスク(データのリード/ライト)を実行する。バスインターフェース回路50は、プロセッサ2により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ11を介して、送信バッファ73にデータと送信先のアドレスを格納する。それと同時に、設定回路71は、送信バッファに対応するカウンタ72の値を1インクリメントする。

【0050】選択回路74は、カウンタ72の値を監視し、カウンタ72の値が一番大きい送信バッファ73を選択し、さらに選択した送信バッファ73に格納されたデータを送信することをセクタ75に指示をする。それと同時に、選択した送信バッファ73に対応するカウンタ72の値を1デクリメントする。セクタ75は、選択回路74の指示に従い、選択された送信バッファ73に格納されたデータを入出力バッファ17に送る。

【0051】次に、I/Oカード5から複数のバスを介してCPUカード1にデータを転送する動作について説明をする。バスインターフェース回路50は、I/Oカード5により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ17を介して、I/Oカード5に対応する受信バッファ14にデータと送信先のアドレスを格納する。それと同時に、設定回路35は、受信バッファ34に対応するカウンタ33の値を1インクリメントする。

【0052】選択回路76は、カウンタ33の値を監視し、カウンタ33の値が一番大きい受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータをレジスタ77に記憶されたプロセッサ2に対応した入出力バッファ11に送信することをセクタ78に指示をする。それと同時に、選択した受信バッファ34に対応するカウンタ33の値を1デクリメントする。また、レジスタ77に記憶されたプロセッサ2を別のプロセッサ2を示すように変更をする。セクタ78は、選択回路76の指示に従い、選択された受信バッファ34に格納されたデータを、レジスタ77に記憶されたプロセッサ2に対応した入出力バッファ11に送る。なお、本実施の形態の他に、実施の形態4、6に示すように、送信バッファを時間や、優先度に従って選択するような構成も可能である。

【0053】以上のように本実施の形態によれば、バスインターフェース回路4がプロセッサ2からデータを受

信すると、設定回路71がプロセッサ2からのデータ送信時にプロセッサ2からのアクセス要求の数をカウンタ72に設定し、選択回路74がバッファ選択時にカウンタ72の値に従って送信バッファ73を選択するようにしているので、プロセッサ2の負荷に応じてデータの転送ができる。即ちデータの転送要求の多いプロセッサ2のデータ転送を優先的に行うことができ、データの転送要求の多いプロセッサ2の負荷を低減できる。

【0054】また、バスインターフェース回路4がI/Oカード5からデータを受信すると、設定回路35がデータ受信時に受信バッファ34へのアクセス要求の数をカウンタ33に設定し、選択回路76が受信バッファ34の選択時にカウンタ33の値が一番大きい受信バッファ34を選択し、セクタ78が選択回路76で選択された受信バッファ34に格納されたデータを、レジスタ77に記憶された情報に基づいて複数のプロセッサ2に均等に割り振るようにしているので、複数のプロセッサ2に均等かつ効率良く転送することができ、さらにI/Oカード5の負荷に応じてデータの転送ができる。即ちデータの転送要求の多いI/Oカード5のデータ転送を優先的に行うことができ、データの転送要求の多いI/Oカード5の負荷を低減できる。これにより、複数のバスを介して複数のI/Oカードと複数のプロセッサ2との間でデータの送受信を行うシステムの性能向上ができる。

【0055】実施の形態6. 図8は、実施の形態6のバスインターフェース回路の構成図である。図において、図1~7と同一の符号は同一又は相当な部分を示す。81は対応するプロセッサ2によりI/Oカード5に送信されるデータと送信先のアドレスとを格納する送信バッファ、82はレジスタ83に書き込まれた処理優先度に従って送信バッファ81を選択し、さらに選択した送信バッファ81に格納されたデータを送信することをセクタ84に指示する選択回路、83は各プロセッサ2の処理優先度、即ち各プロセッサ2がデータと送信先のアドレスとをI/Oカード5に送信する優先度が書き込まれたレジスタ、84は選択回路82の指示に従って、送信バッファ81に格納されたデータを入出力バッファ17に送るセクタである。

【0056】85はレジスタ41に書き込まれた処理優先度に従って、受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ78に指示をする選択回路、86は受信バッファ34に格納されたデータを送信するプロセッサ2が記憶されたレジスタ、87は選択回路85の指示に従って、受信バッファ34に格納されたデータを入出力バッファ11に送るセクタである。

【0057】次に、動作について説明する。最初にCPUカード1から複数のバスを介してI/Oカード5にデータを転送する動作について説明をする。まず、転送を開始する前に、プロセッサ2はテーブル21に転送アドレ

スとI/Oカード5の対応関係を書き込み、さらにレジスタ83に各プロセッサ2の処理優先度を書き込む。書き込むタイミングは、システムが起動した直後でも、処理中でもよい。プロセッサ2は、I/Oカード5へのタスク(データのリード/ライト)を実行する。

【0058】バスインターフェース回路50は、プロセッサ2により送信されたデータと送信先のアドレスとを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ11を介して、送信バッファ81にデータと送信先のアドレスを格納する。

【0059】選択回路82は、送信バッファ81のエンプティを監視し、エンプティでない送信バッファ81を選択し、さらに選択した送信バッファ81に格納されたデータを送信することをセクタ84に指示をする。また、複数の送信バッファ81がエンプティでない場合は、レジスタ83に書き込まれた処理優先度を参照し、処理優先度の一番高いプロセッサ2からのデータとアドレスを格納した送信バッファ81を選択し、選択した送信バッファ81に格納されたデータを送信することをセクタ84に指示をする。セクタ84は、選択回路82の指示に従い、選択された送信バッファ81に格納されたデータを入出力バッファ17に送る。

【0060】次に、I/Oカード5から複数のバスを介してCPUカード1にデータを転送する動作について説明をする。バスインターフェース回路50は、I/Oカード5により送信されたデータと送信先のアドレスを受信すると、プロトコル制御回路(図示せず)の制御の下、入出力バッファ17を介して、I/Oカード5に対応する受信バッファ34にデータと送信先のアドレスを格納する。

【0061】選択回路85は、受信バッファ34のエンプティを監視し、エンプティでない受信バッファ34を選択し、さらに選択した受信バッファ34に格納されたデータを送信することをセクタ87に指示をする。また、複数の受信バッファ34がエンプティでない場合は、レジスタ41に書き込まれた処理優先度を参照し、処理優先度の一番高いI/Oカード5からのデータとアドレスを格納した受信バッファ34を選択し、選択した受信バッファ34に格納されたデータを送信することをセクタ87に指示をする。

【0062】その後、レジスタ86に記憶されたプロセッサ2を別のプロセッサ2を示すように変更する。セクタ87は、選択回路85の指示に従い、選択された受信バッファ34に格納されたデータをレジスタ86に記憶されたプロセッサ2に対応した入出力バッファ11に送る。なお、本実施の形態の他に、実施の形態4、5に示されるように、送信バッファを時間や、アクセス要求数に従って選択するような構成も可能である。

【0063】以上のように本実施の形態によれば、バスインターフェース回路4がプロセッサ2からデータを受信すると、プロセッサ2がレジスタ83に各プロセッサ



2の処理優先度を書き込み、選択回路82が送信バッファ81の選択時にレジスタ83に書き込まれた処理優先度に従って、処理優先度の一番高いプロセッサ2からのデータとアドレスを格納した送信バッファ81を選択するようにしているので、プロセッサ2により送信された送信要求度の高い送信情報をI/Oカード5に早急に送ることができ、システム上クリティカルなプロセッサ2からのデータを最優先で送信することができ、応答時間を保証してデータを送信することができる。

【0064】また、バスインターフェース回路4がI/Oカード5からデータを受信すると、プロセッサ2がレジスタ41に各I/Oカード5の処理優先度を書き込み、選択回路85が受信バッファ34の選択時にレジスタ41に書き込まれた優先度に従って、処理優先度の一番高いI/Oカード5からのデータとアドレスを格納した受信バッファ34を選択し、セクタ87が選択回路85で選択された受信バッファ34に格納されたデータを、レジスタ86に記憶された情報に基づいて複数のプロセッサ2に均等に割り振るようにしているので、複数のプロセッサ2に均等かつ効率良く転送することができ、I/Oカード5により送信された送信要求度の高い送信情報をプロセッサ2に早急に送ることができ、システム上クリティカルなI/Oカード5からのデータを最優先で送信することができ、応答時間を保証してデータを送信することができる。これにより、複数のバスを介して複数のI/Oカードと複数のプロセッサ2との間でデータの送受信を行うシステムの性能向上ができる。

【0065】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0066】第1の発明では、複数の周辺装置により複数のバスを介してプロセッサに送信情報が送信されると、送信された送信情報はそれぞれ複数の受信バッファに格納され、この格納された送信情報を所定の選択基準に基づいて選択し、送信するので、複数の周辺装置により送信された送信情報を様々な順序でプロセッサに送ることができ、複数のバスを介して複数の周辺装置とプロセッサとの間でデータの送受信を行うシステムの性能向上が図れる。

【0067】第2の発明では、複数の周辺装置により複数のバスを介してプロセッサに送信情報が送信されると、送信された送信情報はそれぞれ複数の受信バッファに格納され、さらに送信情報が格納された時刻が送信情報に対応して設定され、この時刻の中で一番古い時刻が設定された送信情報を選択し、送信するので、複数の周辺装置により送信された送信情報を到着順にプロセッサに送信することができる。

【0068】第3の発明では、複数の周辺装置により複数のバスを介してプロセッサに送信情報が送信されると、送信された送信情報はそれぞれ複数の受信バッファ

に格納され、さらに送信された送信情報の数がカウンタに設定され、このカウンタの値が一番大きい受信バッファに格納された送信情報を送信するので、送信要求の多い周辺装置により送信された送信情報を優先して送信することができ、複数の周辺装置の負荷に応じた送信情報の送信が図れる。

【0069】第4の発明では、複数の周辺装置により複数のバスを介してプロセッサに送信情報が送信され、送信された送信情報がそれぞれ複数の受信バッファに格納されると、レジスタに書き込まれた処理優先度に基づいて、受信バッファが選択され、この選択された受信バッファに格納された送信情報を送信するので、システム上クリティカルな周辺装置からの送信情報を最優先で送信することができる。

【0070】第5の発明では、複数のプロセッサにより送信情報が送信されると、送信された送信情報はそれぞれ複数の送信バッファに格納され、この格納された送信情報を所定の選択基準に基づいて選択し、複数のバスを介して複数の周辺装置に送信するので、複数のプロセッサにより送信された送信情報を様々な順序で周辺装置に送ることができ、複数のバスを介して複数の周辺装置と複数のプロセッサとの間でデータの送受信を行うシステムの性能向上が図れる。

【0071】第6の発明では、複数のプロセッサにより送信情報が送信されると、送信された送信情報はそれぞれ複数の送信バッファに格納され、さらに送信情報が格納された時刻が送信情報に対応して設定され、この時刻の中で一番古い時刻が設定された送信情報を選択し、複数のバスを介して複数の周辺装置に送信するので、複数のプロセッサにより送信された送信情報を到着順に複数の周辺装置に送信することができる。

【0072】第7の発明では、複数のプロセッサにより送信情報が送信されると、送信された送信情報はそれぞれ複数の送信バッファに格納され、さらに送信された送信情報の数がカウンタに設定され、このカウンタの値が一番大きい送信バッファに格納された送信情報を複数のバスを介して複数の周辺装置に送信するので、送信要求の多いプロセッサにより送信された送信情報を優先して送信するようにしたので、複数のプロセッサの負荷に応じた送信情報の送信が図れる。

【0073】第8の発明では、複数のプロセッサにより送信情報が送信され、送信された送信情報がそれぞれ複数の送信バッファに格納されると、レジスタに書き込まれた処理優先度に基づいて、送信バッファが選択され、この選択された送信バッファに格納された送信情報を複数のバスを介して複数の周辺装置に送信するので、システム上クリティカルなプロセッサからの送信情報を最優先で送信することができる。

【図面の簡単な説明】

【図1】 実施の形態1のシステム構成を示すブロック

図。

【図2】 実施の形態1におけるバスインタフェース回路の構成図。

【図3】 実施の形態2におけるバスインタフェース回路の構成図。

【図4】 実施の形態3におけるバスインタフェース回路の構成図。

【図5】 実施の形態4のシステム構成を示すブロック図。

【図6】 実施の形態4におけるバスインタフェース回路の構成図。

【図7】 実施の形態5におけるバスインタフェース回路の構成図。

路の構成図。

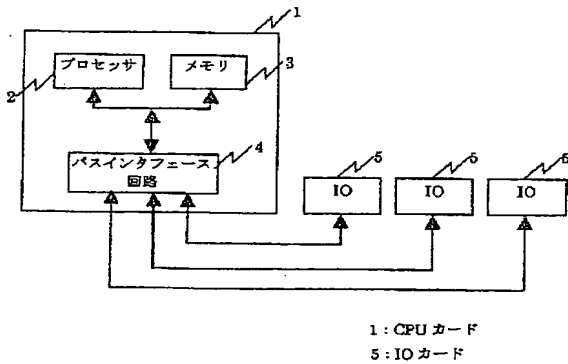
【図8】 実施の形態6におけるバスインタフェース回路の構成図。

【図9】 従来のローカルエリアネットワークを示すブロック図

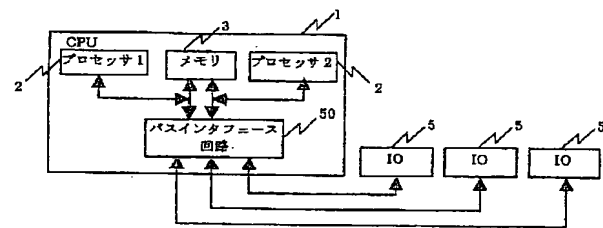
【符号の説明】

1 CPUカード、2 プロセッサ、3 メモリ、4 バスインタフェース回路、5 IOカード、11 入出力バッファ、12 選択回路、13 セレクタ、14 受信バッファ、15 タイマ、16 設定回路、17 入出力バッファ、18 送信バッファ、19 選択回路、20 セレクタ、21 テーブル。

【図1】



【図5】



【図2】

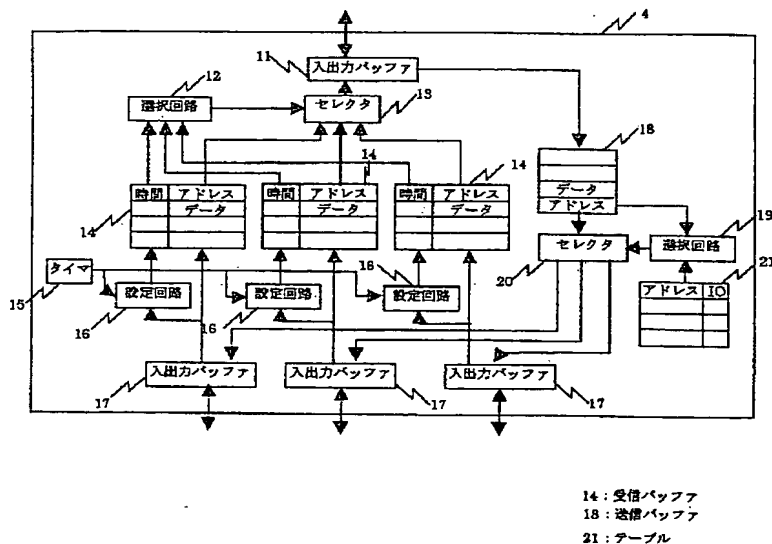
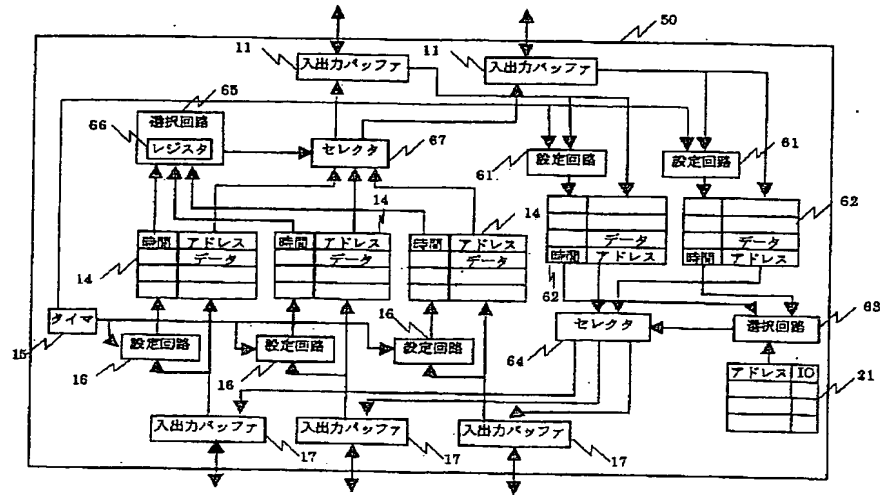


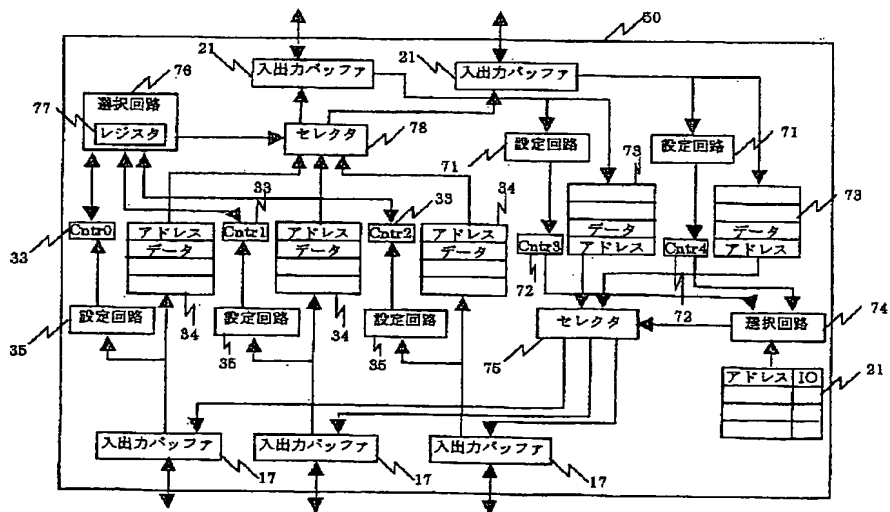
Figure 1 is a block diagram of a data processing system. The system is enclosed in a rectangular frame. At the top, a central bus (11) is connected to an input/output buffer (17) on the left and a data/address bus (34) on the right. The data/address bus (34) is connected to three address/data registers (34) in the middle. Each register has a 'データ' (Data) section and an 'アドレス' (Address) section. The registers are connected to a selection circuit (18) on the right. The selection circuit (18) is connected to a selector (20) and a selection circuit (19). The selector (20) is connected to three input/output buffers (17) at the bottom. The selection circuit (19) is connected to an address I/O block (21). The address I/O block (21) is connected to a selection circuit (19) and a selector (20). The selection circuit (19) is also connected to a selector (43) and a selection circuit (42). The selector (43) is connected to a register file (41) on the left. The register file (41) contains three registers: レジスタ 0 (Register 0), レジスタ 1 (Register 1), and レジスタ 2 (Register 2). The selection circuit (42) is connected to the register file (41) and the selector (43). The selector (43) is also connected to the central bus (11) and the data/address bus (34).

【図6】



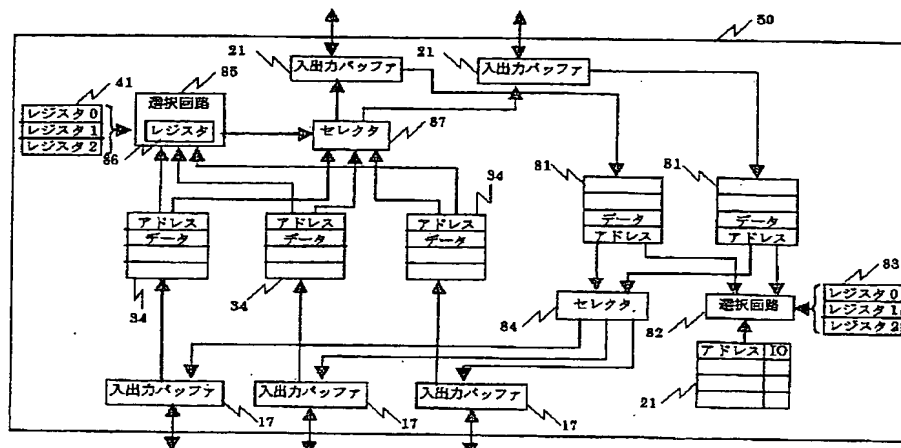
62: 送信バッファ

【図7】



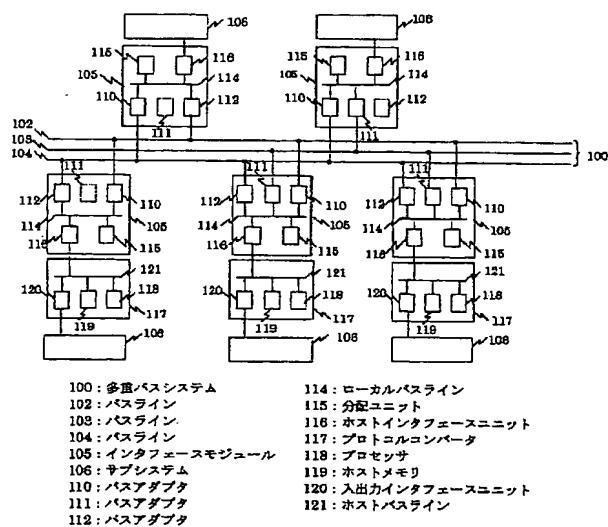
73: 送信バッファ

【図8】



81: 送信バッファ

【図9】



100: 多重バスシステム  
 102: バスライン  
 103: バスライン  
 104: バスライン  
 105: インタフェースモジュール  
 106: サブシステム  
 110: バスアダプタ  
 111: バスアダプタ  
 112: バスアダプタ  
 114: ローカルバスライン  
 115: 分配ユニット  
 116: ホストインタフェースユニット  
 117: プロトコルコンバータ  
 118: プロセッサ  
 119: ホストメモリ  
 120: 入出力インタフェースユニット  
 121: ホストバスライン

フロントページの続き

Fターム(参考) 5B061 BA01 BB01 BC02 FF01 RR05  
 RR06  
 5B077 DD22  
 5K032 AA01 BA04 CC10 CC12 DB20  
 5K034 AA01 DD02 FF01 FF12 FF15  
 FF18 GG02 GG06 HH01 HH02  
 HH14 HH15 HH17 HH27 HH42  
 HH57 HH65 KK04